

一种改进的层次化 SOC_s 并行测试封装扫描单元

邓立宝, 乔立岩, 俞 洋, 彭喜元

(哈尔滨工业大学自动化测试与控制系, 黑龙江哈尔滨 150080)

摘 要: 测试封装是实现 SOC 内部 IP 核可测性和可控性的关键, 而扫描单元是测试封装最重要的组成部分. 然而传统的测试封装扫描单元在应用于层次化 SOC_s 测试时存在很多缺点, 无法保证内部 IP 核的完全并行测试, 并且在测试的安全性, 功耗等方面表现出很大问题. 本文提出一种改进的层次化 SOC_s 测试封装扫描单元结构, 能够有效解决上述问题, 该结构的主要思想是对现有的扫描单元进行改进, 实现并行测试的同时, 通过在适当的位置增加一个传输门, 阻止无序的数据在非测试时段进入 IP 核, 使得 IP 核处于休眠状态, 保证了测试的安全性, 实现了测试时的低功耗. 最后将这种方法应用在一个工业上的层次化 SOC_s, 实验分析表明, 改进的测试封装扫描单元比现有扫描单元在增加较小硬件开销的前提下, 在并行测试、低功耗、测试安全性和测试覆盖率方面有着明显的优势.

关键词: 层次化 SOC_s; 测试封装扫描单元; 并行测试; 低功耗

中图分类号: TP391 **文献标识码:** A **文章编号:** 0372-2112 (2012)05-0949-06

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2012.05.1014

A Modified Parallel Wrapper Cell for Hierarchical SOC_s Test

DENG Li-bao, QIAO Li-yan, YU Yang, PENG Xi-yuan

(Department of Automatic Test and Control, Harbin Institute of Technology, Harbin, Heilongjiang 150080, China)

Abstract: Test wrapper, which to make IP cores in SOC measurable and controllable, is the key architecture, and its important part is wrapper cell. Traditional test wrapper has many shortcomings, such as parallel test, test secure and test power, when used in hierarchical SOC_s. This paper presented a modified test wrapper design for embedded IP cores, which only inserted a CMOS transmission gate to the test wrapper cell to eliminate the precarious effect to IP cores, to make the IP cores dormancy. Experiments on an industry hierarchical SOC_s show that the proposed test wrapper cell not only takes less area overhead and time delay, but also make test parallel, secure and fully, thus decreases the dynamic test power during scan shifting.

Key words: hierarchical SOC_s; wrapper cell; parallel test; low power

1 引言

随着 SOC (system-on-a-chip) 复杂度的提升, 有时为了实现较为复杂的特定功能, 某一种 IP 核内可能又包含多个子 IP 核, 由这样的 IP 核组成的 SOC 称之为层次化设计的 SOC, 简称层次化 SOC_s^[1]. 采用层次化思想设计 SOC_s 芯片能够节省设计时间和费用, 然而却给 IP 核的测试访问带来了难题, 例如如何对层次化 SOC_s 中子核和母核进行测试访问, 如何实现对层次化 SOC_s 的测试调度进而降低整体测试时间等.

由于嵌入在 SOC 内部的 IP 核失去了可测性和可控性^[2], 为了实现对它的测试访问, 常用的方法是给 IP 核加载一个测试封装^[3,4], 该测试封装不仅能实现 SOC 中

各个 IP 核之间的测试隔离, 而且能提供 IP 核测试数据的快速传输通道. IEEE 1500 核测试标准中规定了一种可扩展的测试封装结构^[5-7], 旨在标准化 IP 核测试接口, 使得 IP 核的测试变得方便、高效. 测试封装中最重要的部分是连接测试接口与 IP 核功能接口的测试封装扫描单元, 本文的研究对象就是该扫描单元. 在文献[6]中给出了一种基本的扫描单元, 但是这种扫描单元在层次化 SOC_s 中却带来了很多问题, 尤其是它不能使子核和母核同时处于内测试模式, 也就是无法实现子核和母核的并行测试, 因此使得层次化 SOC_s 的测试时间明显增加. 虽然文献[8]对此测试封装进行了一定的扩展, 但是还存在测试安全问题. 本文提出了一种改进的测试封装扫描单元结构, 该结构在增加较小面积开销的情况

下,使得层次化 SOC 中的子核和母核能够并行测试,并充分保证测试的安全性。

2 基于 IEEE1500 标准的测试封装

由于嵌入到 SOC 内部的 IP 核输入输出管脚不可能都与 SOC 的管脚连接,因此无法对 IP 核直接进行测试。为了解决这个问题,IEEE 1500 提出的核测试结构^[6]包含三个部分:测试源/测试宿,测试存取机制(Test Access Mechanism, TAM)和测试封装(Test Wrapper)如图 1 所示。

测试源产生被测电路所需的测试激励;测试宿收集测试响应,评估测试电路的功能正常性。测试存取机制是数据传输提供通路。上述部分实现起来较为简单,不再赘述,而详细介绍测试封装。

测试封装在该 IP 核被测试时能提供测试数据传输通道;而在其它 IP 核被测试时能使该 IP 核处于隔离状态。IEEE 1500 标准对测试封装规定其应至少完成下列三种工作模式^[8]:正常工作模式,核内测试模式和核外测试模式。

测试封装中最重要的部分是扫描单元,它是测试封装完成上述工作模式的直接执行者,下面着重介绍测试封装扫描单元及其工作模式。

3 测试封装扫描单元

3.1 基本的 IEEE 1500 测试封装扫描单元

测试封装扫描单元是连接 IP 核测试接口与功能输入、输出接口的电路,在文献^[6]中给出了一种基本的扫描单元,如图 2 所示,它由两个多路选择器和一个 D 触发器构成,FI、FO 分别代表 IP 核的功能输入和功能输出接口,TI、TO 分别代表 IP 核的测试输入和测试输出接口。

对层次化 SOC 的母核测试时,子核的测试封装输入单元用于捕获母核的测试响应,而子核的测试封装输出单元用于施加母核的测试数据,子核处于外测试模式。在应用于层次化 SOC 时,不同的测试模式下图 2 所示结构的控制信号如表 1 所示,其中 X 表示无关位(下同)。

并行测试可以节省测试时间,从而降低测试费用,但是根据表 1 中可知,图 2 中所示结构无法使子核同时

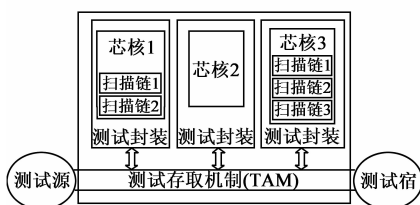


图1 SOC的系统级测试结构图

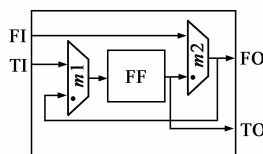


图2 基本的IEEE 1500测试封装扫描单元

表 1 各种模式下多路开关的控制设置

测试模式	扫描输入单元		扫描输出单元	
	m1	m2	m3	m4
功能	X	1	X	1
内测试移位	1	X	1	X
内测试工作	X	0	0	1
外测试移位	1	X	1	X
外测试工作	0	1	X	0

工作在内测试模式和外测试模式,因此不能对母核和其内部子核并行测试。

3.2 用于层次化 SOC 并行测试的测试封装扫描单元

文献^[8]中提出一种可以用于层次化 SOC 并行测试的测试封装扫描结构,如图 3 所示。CFI、CFO 分别代表 IP 核的功能输入、输出接口;CTI、CTO 与子核的 TAM 相连,是子核测试数据的输入、输出接口;PTI、PTO 与母核的 TAM 相连,是母核测试数据的输入输出接口。FF1、FF2 和 FF3、FF4 分别用于存储母核和子核的测试数据。

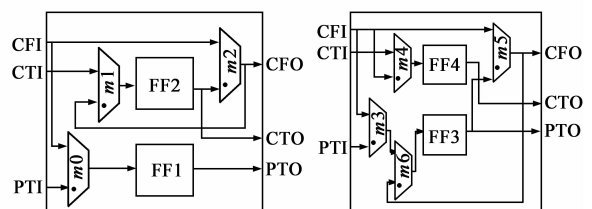
表 2 给出了不同测试模式下各多路选择器的控制设置。在内测试和外测试模式下,各多路选择器的状态设置是相容的,因此图 3 中所示结构可以同时工作在内测试和外测试两种模式下,从而实现子核和母核的并行测试。

虽然这种结构能够使得层次化 SOC 内部的所有 IP 核都能进行并行测试,但是该结构在测试安全性、功耗等方面仍存在较大问题,下面以图 2 结构移位模式、图 3 结构输入扫描单元的内测试移位模式和输出扫描单元的外测试移位模式举例说明,图 4 中的粗实线直观的描述了上述三种情况。

表 2 各种模式下多路开关的控制设置

测试模式	扫描输入单元				扫描输出单元			
	m0	m1	m2	m3	m4	m5	m6	
功能	X	X	1	X	X	1	X	
内测试移位	X	1	X	X	1	X	X	
内测试工作	X	0	0	X	0	X	X	
外测试移位	0	X	X	0	X	X	X	
外测试工作	1	X	X	X	X	0	0	

根据测试封装的功能可知,在移位模式下,测试数据从测试数据输入端口 TI(CTI、PTI)经过输入扫描单



(a) 输入扫描单元

(b) 输出扫描单元

图3 一种并行测试的测试封装扫描单元

元,由触发器 FF(FF2、FF1)存储,经测试数据输出口 TO(CTO、PTO)传输到下一个测试扫描单元的输入端口.在移位模式时,与扫描单元的功能输出口 FO(CFO)相连的多路选择器 m_2 (m_5)的输入分别为功能输入端口 FI(CFI)和被触发器存储后的测试数据端口 TO(CTO、PTO).从表 1 和表 2 可知,在移位模式下 m_2 (m_5)的取值为 X,也就是此时功能输出口 FO(CFO)既可以与功能输入端口 FI(CFI)相连,又可以与测试数据端口 TO(CTO、PTO)相连.测试数据的不断移入,使得测试数据端口 TO(CTO、PTO)上的数据不断变化;功能输入端口

FI(CFI)连接上一个单元的测试数据输出,也无法保证不存在数据不断变化的可能.这就造成了在测试移位模式下,被测 IP 核的功能输入端口不断的有无序的数据进入,后果是给被测 IP 核带来不安全的因素,并且无序进入的数据使得 IP 核内部电路不停的高低电平翻转,带来巨大的功耗使得 IP 核温度升高,进一步造成 IP 核的功能失常或失效.因此,一种合格的测试封装扫描结构应既能满足层次化 SOC 的并行测试需求,又能保证测试的安全性,基于此,本文提出了一种改进的扫描单元结构.

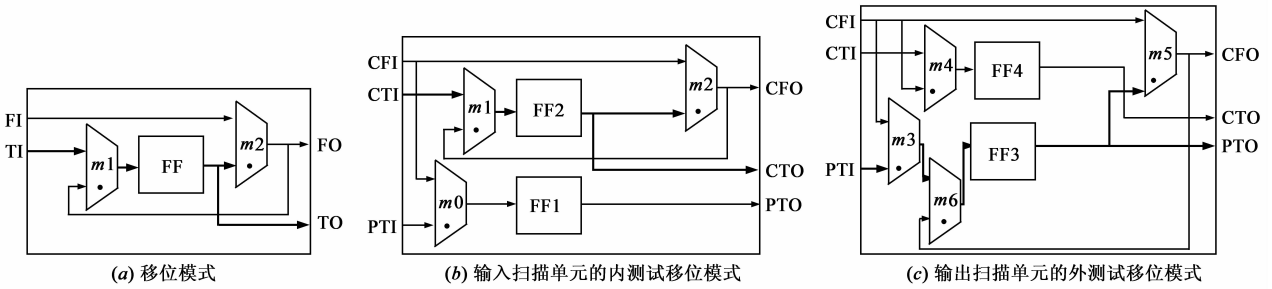


图4 测试封装扫描单元在移位模式下的设置

4 一种改进的层次化 SOC 测试封装扫描单元

CMOS 传输门是构成各种逻辑电路的一种基本单元电路,由一对互补 NMOS 和 PMOS 管并联而成^[14].电路和符号如图 5 所示.

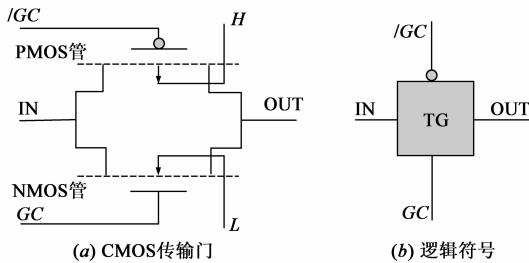


图5 CMOS传输门

传输门的一个重要作用就是作模拟开关,开启和关闭是由互补脉冲控制的,当 $GC = 0, /GC = 1$ 时,传输门关闭,输出端 OUT 为高阻态;当 $GC = 1, /GC = 0$ 时,传输门开启, $OUT = IN$.本文的思想就是利用传输门的这种性质,在图 4 的结构上加入传输门,在不希望无序数据施加给被测 IP 核时使传输门工作在高阻状态,当正常的测试数据需要施加给 IP 核时使输出门开启.

如图 6 所示,分别在 1~4 四个位置处加入传输门均能满足上述功能,下面分析传输门分别处于四个位置时的缺点:

位置 1 造成在 IP 核功能测试模式时,功能数据需多经过一个传输门的延时.

位置 2 输出单元的外测试模式时使测试数据多一个传输门的延时.

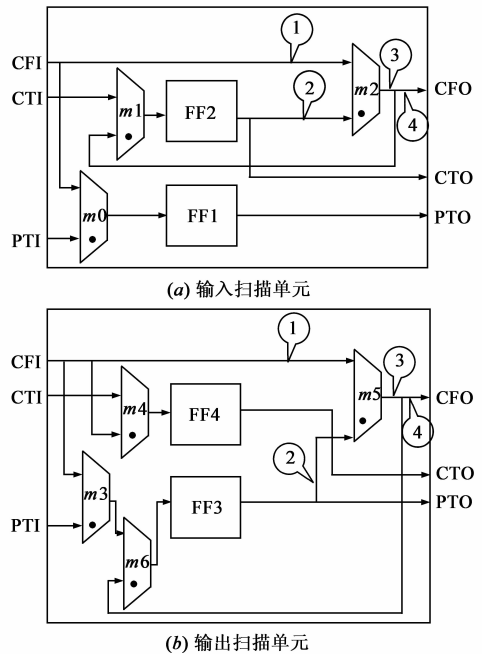


图6 测试封装扫描单元可以改进的位置

位置 3 在 IP 核功能测试模式时,造成功能数据多一个传输门的延时,在输入单元的内测试工作模式和输出单元的外测试工作模式造成测试数据多一个传输门的延时.

位置 4 除包含同位置 3 的缺点外,最严重的是无法测试新增加的传输门的工作正常性,使得扫描单元的自测试覆盖率不能达到百分之百.

综合考虑,选择在位置 2 处插入传输门,改进的测试封装的扫描结构如图 7 所示,在移位模式时控制传输

门使其输出为高阻态,并设置多路选择器 $m_2(m_5)$ 的状态为 0,进而使得功能输出端口 FO(CFO)为高阻,此时输入端口没有高低电平的翻转,从而使得 IP 核的动态功耗为零.表 3 给出了不同测试模式下扫描单元中的各多路选择器的控制设置.

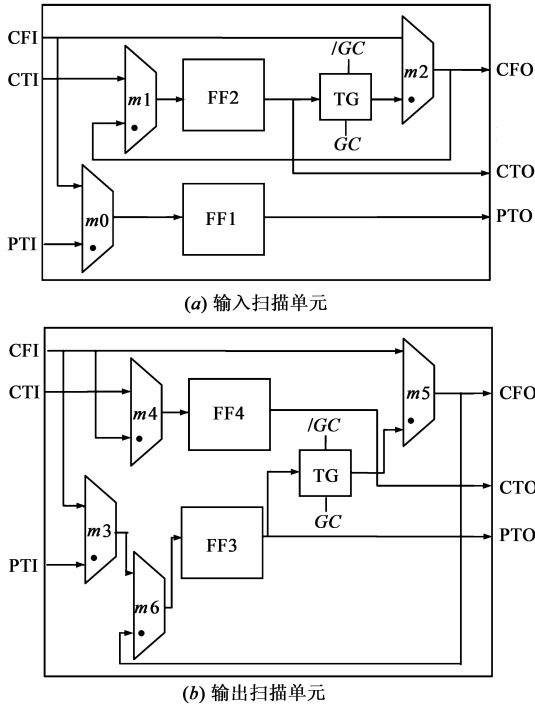


图7 改进的测试封装扫描单元

表 3 各种模式下多路开关的控制设置

测试模式	扫描输入单元				扫描输出单元				
	m_0	m_1	m_2	GC	m_3	m_4	m_5	m_6	GC
功能	X	X	1	X	X	X	1	X	X
内测试移位	X	1	0	0	X	1	0	X	0
内测试工作	X	0	0	1	X	0	X	X	1
外测试移位	0	X	0	0	0	X	0	X	0
外测试工作	1	X	X	1	X	X	0	0	1

输入扫描单元的内测试移位模式和输出扫描单元的外测试移位模式时信号的走向关系如图 8 中粗实线所示.增加传输门使得测试移位时测试数据无法进入功能输出接口 CFO,从而使得被测 IP 核“休眠”,降低测试功耗.

5 实验验证与结果分析

为了验证本文所提方法的有效性,在一个工业的层次化 SOC 上验证,它是一个双层的 SOC,包含 12 个模块,所有模块输入管脚数量为 336,输出管脚数量为 945,D 触发器的数量为 4917,等效的与/或非门数量为 72795.根据 Montor FastScan 生成的测试数据数量为 1159860,其中典型的高低电平翻转次数为 98628.从以下方面分析本文所提方法同现有方法的实用性.

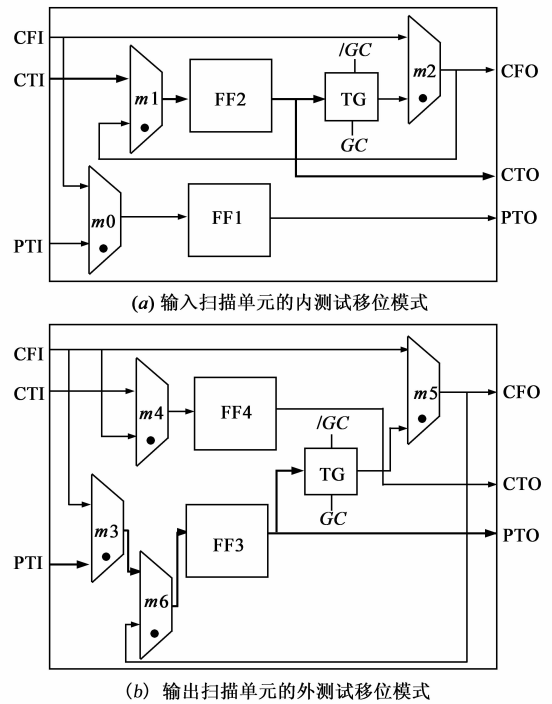


图8 测试封装扫描单元在不同模式下的设置

5.1 测试安全性和测试功耗

由第 4 节分析可知,测试的不安全性主要表现在测试移位模式,因此本小节主要讨论的在移位模式下的测试安全性和功耗问题.

在文献[8]中,所有的测试向量中数据在测试移位模式时的高低电平翻转都会施加给 IP 核,一方面这种无序的数据对 IP 核的功能安全带来很大的隐患,另一方面,以本文所示层次化 SOC 为例,这种输入端近十万次频繁的高低电平翻转造成的动态功耗是巨大的,很容易造成 IP 核的功能失常或失效.文献[9,11]通过增加多路选择器、文献[12,13]通过增加或非门(NOR)和本文方法都能很好的阻止了这些测试数据在测试移位模式时无法到达 IP 核,如表 4 所示.由于 IP 核的功能端始终是高阻状态,IP 核处于休眠状态,其静态功耗和由电平翻转造成的动态功耗几乎为零.

表 4 几种方法在移位模式下在 IP 核输入端口电平翻转次数对比

典型方法	MUX	或非门	本文方法
98628	0	0	0

5.2 额外增加的面积、时延和功耗

测试封装边界单元是为了增加 IP 核的可测性和可控性加入的电路,它应尽量保持较小的面积开销,较短的信号延迟和较低的功耗^[9,10],因此从这三方面评价测试封装扫描单元的性能.在目前已经提出的层次化 SOC 测试封装扫描单元的设计中,现有改进方法是在位置 4 处使用多路选择器或者或非门(NOR),NOR 由 4 个晶体管组成,多路选择器则更复杂,而本文提出的传

输门仅由 2 个晶体管构成. 由于晶体管数量同面积, 功耗基本成正比, 因此本文提出的改进的测试封装边界单元具有更小的面积和功耗. 表 5 给出了多路选择器、或非门和传输门在这三个方面的比较结果, 从表中可以看出, 传输门结构无论在面积, 时延开销还是功耗上都具有明显的优势.

表 5 选择器、或非门与传输门的比较

	MUX	或非门	传输门
面积(μm^2)	0.32	0.28	0.12
时延(ps)	91.28	41.65	14.98
功耗(μW)	20.73	12.34	4.93

在实际的 SOC 上的对比各种方法增加的晶体管的数量, 如表 6 所示, 本方法的增加比重仅为 0.56%, 优于其他改进方法.

表 6 几种方法的硬件开销对比

典型方法	MUX		或非门		本文方法	
	增加的晶体管数量	额外增加比重(%)	增加的晶体管数量	额外增加比重(%)	增加的晶体管数量	额外增加比重(%)
457866	8967	1.96	5124	1.11	2562	0.56

5.3 可测性对比

文献[8]的测试封装扫描单元可测性为百分之百, 但是文献[9, 11~13]等文献都是在位置 4 处增加门电路, 由第 4 节分析可知, 这种改进方法使得测试封装扫描单元内部新加入的门电路和连接线在任何模式下都是不可测, 因此这样的改进都是不可取的. 而本文的改进方法没有破坏扫描单元的可测性, 仍为百分之百, 从此角度看, 文献[8]和本文方法明显的优于其它两种方法, 如表 7 所示.

表 7 几种方法自测试覆盖率

典型方法 ^[8]	MUX ^[9,11]	或非门 ^[12,13]	本文方法
100%	< 100%	< 100%	100%

6 结论

本文针对层次化 SOC 的测试问题, 提出了一种基于传输门的并行测试封装扫描单元的改进结构, 该结构充分考虑层次化 SOC 的并行测试需求和测试中低功耗的问题, 在增加较小硬件开销的基础上, 既能保证了层次化 SOC 的并行测试, 又能使测试中功耗大大降低, 综合考虑, 本文方法优于其他现有方法. 通过对一个工业的层次化 SOC 的测试与分析, 验证了本文所提方法的实用性.

参考文献

[1] Krishnendu Chakrabarty, Vikram Iyengar, Mark D. Krasniewski. Test planning for modular testing of hierarchical SOC [J]. IEEE Transactions on Computer-aided Design of Integrat-

ed Circuits and Systems, 2005, 24(3): 435 - 447.

- [2] MULLANE Brendan, HIGGINS Michael, NAMEE Ciaran Mac. An optimal IEEE 1500 core wrapper design for improved test access and reduced test time [A]. IET Irish Signals and Systems Conference [C]. Galway, Ireland: Institution of Engineering and Technology, 2008. 204 - 209.
- [3] BENSO Alfredo, DI CARLO stefano, et al. IEEE standard 1500 compliance verification for embedded cores [J]. IEEE Transactions on Very Large Scale Integration (VLSI) System, 2008, 16(4): 397 - 407.
- [4] HIGGINS M, MACNAMEE C, MULLANE B. Design and implementation challenges for adoption of the IEEE 1500 standard [J]. IET Computers & Digital Techniques, 2010, 4(1): 38 - 49.
- [5] IEEE Std. 1500-2005. IEEE 1500 Standard for Embedded Core Test [S].
- [6] SILVA Francisco da, MCLAURIN Teresa, WAAYERS Tom. The Core Test Wrapper Handbook; Rationale and Application of IEEE Std. 1500 [M]. 2005. 147 - 155.
- [7] 赵鹏, 王大伟, 李思坤. 面向 SoC 任务分配的应用程序存储需求分析 [J]. 电子学报, 2010, 38(3): 541 - 545.
- ZHAO Peng, WANG Dawei, LI Sikun. Research on Memory Size Estimation of Application Programs for System on Chip Task Allocation [J]. Acta Electronica Sinia, 2010, 38(3): 541 - 545. (in Chinese)
- [8] Sandeep Kumar Goel, Erik Jan Marinissen, et al. Testing of SoCs with hierarchical cores: common fallacies, test access optimization, and test scheduling [J]. IEEE Transactions on Computers, 2009, 58(3): 409 - 423
- [9] 罗胜钦, 马萧萧, 陆忆. 基于改进的 NSGA 遗传算法的 SOC 软硬件划分方法 [J]. 电子学报, 2009, 37(11): 2595 - 2599
- LUO Shengqin, MA Xiaoxiao, LU Yi. An advanced non-dominated sorting genetic algorithm based SOC hardware/software partitioning [J]. Acta Electronica Sinia, 2009, 37(11): 2595 - 2599. (in Chinese)
- [10] CHAL Crou. Design-for- test for Digital IC's and Embedded Core Systems [M]. Upper Saddle River: Prentice Hall PTR, 1999. 175 - 240.
- [11] 贺显龙, 雷加. 层次型 IP 核测试环单元的设计 [J]. 国外电子测量技术, 2010, 29(5): 56 - 60.
- He Xianlong, Lei Jia. Wrapper cell design for hierarchical IP-core [J]. Foreign Electronic Measurement Technology, 2010, 29(5): 56 - 60. (in Chinese)
- [12] MARINISSEN Erik Jan, GOEL Sandeep Kumar, LOUSBERG Maurice. Wrapper design for embedded core [A]. Proceedings of International Test Conference. Piscataway: Institute of Electrical and Electronics Engineers Inc [C]. Atlantic: IEEE,

2000, 911 – 915.

- [13] GERSTENDRFER Stefan, WUNDERLICH Hans-Joachim. Minimized power consumption for scan-based BIST [J]. Journal of Electronic Testing: Theory and Applications, 2000, 16(3):203 – 212.
- [14] BHUNIA Swarup, MAHMOODI Hamid, GHOSH Debjyoti.

Low-power scan design using first-level supply gating [J]. IEEE Transactions on Very Large Scale Integration Systems, 2005, 13(3):384 – 395.

- [15] E J Marinissen, V Iyeng, K. Charkrabarty. A Set of Benchmarks for Modular Testing of SOCs [A]. IEEE International Test Conforce [C]. Maryland: IEEE, 2002. 519 – 528.

作者简介



邓立宝 男, 1981 年出生于河北省黄骅市, 哈尔滨工业大学自动化测试与控制系在读博士研究生, 主要研究方向为 SOC 测试优化、计算智能等. E-mail: libaosunny@163.com



乔立岩 男, 1973 年 10 月生于黑龙江省哈尔滨市, 哈尔滨工业大学自动化测试与控制系教授, 博士生导师, 电子学会高级会员. 主要研究方向为数据采集技术、系统芯片测试技术和自动测试系统. E-mail: qiaoliyan@163.com